

Uji Desain Operasional Amplifier *Unbuffered* (OTA) Dengan Menggunakan ORBIT CN20 dan SPICE

Kusworo Adi

Laboratorium Instrumentasi dan Elektronika Jurusan Fisika, F MIPA Universitas Diponegoro

Abstrak

Telah dilakukan desain operasional amplifier unbuffered (OTA) dengan menggunakan ORBIT CN20 dengan spesifikasi Penguatan 70 dB, Phase Margin (PM) < 60°, dan lebar gate (L) adalah 5 μm . Langkah-langkah untuk melakukan desain dari operasional amplifier unbuffered ini adalah desain plan, verifikasi dengan SPICE, layout desain, dan simulasi post layout dengan menggunakan SPICE.

Dari hasil pengujian dengan menggunakan SPICE didapatkan hasil yang mendekati dengan desain plan dan simulasi post layout. Untuk hasil verifikasi awal dengan SPICE didapatkan hasil Penguatan = 73,65 dB dan Phase Margin (PM) = 62,73°. Sedangkan untuk pengujian post layout dengan menggunakan SPICE adalah Penguatan = 71,14 dB dan Phase Margin (PM) = 60,58°. Kestabilan dari operasional amplifier ini sangat terpengaruh oleh phase margin (PM).

I. Pendahuluan

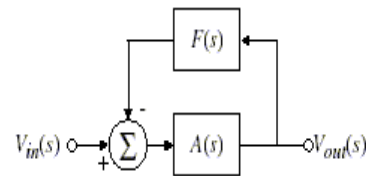
Perkembangan yang pesat dari pasar digital telah memberikan tantangan untuk membuat suatu rangkaian analog yang mempunyai kecepatan tinggi dengan biaya yang murah. Untuk mengatasi hal tersebut salah satu pemecahannya adalah dengan operasional amplifier CMOS. Bentuk dari operasional amplifier ada dua macam yaitu, operasional amplifier *unbuffered* atau yang sering disebut dengan OTA (Operational Transconductance Amplifier) dan operasional amplifier *buffered*. Sedangkan perbedaan antara operasional amplifier unbuffered dan buffered adalah amplifier dengan output resistansi tinggi (OTA) dan amplifier dengan output resistansi rendah (Voltage Operational Amplifier). Simulasi dan pengukuran performansi dari operasional amplifier sangat diperlukan untuk memverifikasi desain dari operasional amplifier. [3][4].

Banyak aplikasi yang menggunakan operasional amplifier CMOS diantaranya adalah komparator, osilator, konverter arus ke tegangan dari photodiode, sample and hold, dan amplifier. Pada makalah ini akan dibahas tentang desain dan pengujian operasional amplifier unbuffered dengan menggunakan ORBIT CN20 teknologi 2 μ dan SPICE [1][5].

II. Teori

2.1. Sistem Umpan Balik Negatif Single Loop

Sistem umpan balik negatif *single loop* secara umum dapat diperlihatkan pada gambar 2-1 [1][2].



Gambar 2-1. Sistem Umpan Balik Negatif Single Loop

$A(s)$ = penguatan amplifier (secara normal pada mode penguatan tegangan)

$F(s)$ = fungsi transfer umpan balik eksternal dari output operasional amplifier yang kembali ke input.

Untuk penguatan open loop dapat dituliskan dengan persamaan :

$$L(s) = -A(s)F(s) \quad \dots(1)$$

sedangkan untuk penguatan close loop ditulis dengan persamaan :

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{A(s)}{1 + A(s)F(s)} \quad \dots(2)$$

Persyaratan yang harus dipenuhi untuk kestabilan sistem umpan balik negatif single loop adalah :

$$|A(j\omega_{0r})F(j\omega_{0r})| = |L(j\omega_{0r})| < 1 \quad \dots(3)$$

dimana ω_{0r} didefinisikan sebagai :

$$\text{Arg}[-A(j\omega_{0r})F(j\omega_{0r})] = \text{Arg}[L(j\omega_{0r})] = 0^\circ \dots(4)$$

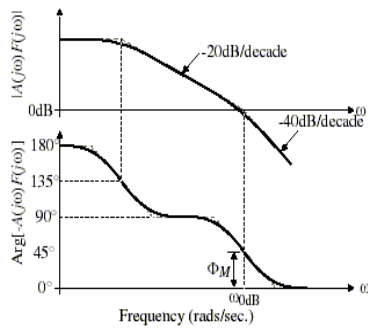
dengan cara yang sama, maka dihasilkan persamaan :

$$\text{Arg}[-A(j\omega_{0dB})F(j\omega_{0dB})] = \text{Arg}[L(j\omega_{0dB})] > 0^\circ \dots(5)$$

dimana ω_{0dB} didefinisikan sebagai :

$$|A(j\omega_{0dB})F(j\omega_{0dB})| = |L(j\omega_{0dB})| = 1 \quad \dots(6)$$

Grafik stabilitas dari operasional amplifier dengan menggunakan diagram bode seperti terlihat pada gambar 2-2 [1].



Gambar 2-2. Grafik Stabilitas Op Amp

Dari grafik tersebut terlihat bahwa untuk mengukur kestabilan sistem adalah dengan memberikan fase dimana $|A(j\omega)F(j\omega)| = 1$. Fase ini sering disebut dengan phase margin dengan persamaan :

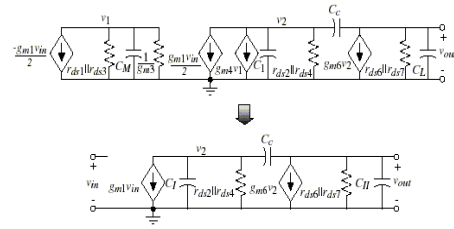
$$\phi_M = \text{Arg}[-A(j\omega_{0dB})F(j\omega_{0dB})] = \text{Arg}[L(j\omega_{0dB})] \quad \dots(7)$$

2.2. Model Sinyal Kecil Respon Frekuensi Operasional Amplifier Dua Tingkat

Dengan memisalkan beberapa parameter seperti tertulis pada persamaan di bawah ini [1]:

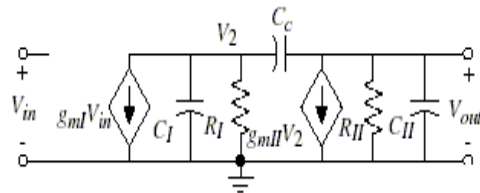
$$g_{m3} \gg g_{ds3} + g_{ds1} \text{ dan } \frac{g_{m3}}{C_M} \gg GB$$

maka model sinyal kecil respon frekuensi operasional amplifier 2 tingkat akan menjadi seperti pada gambar 2-3 di bawah ini [1][2].



Gambar 2-3. Model Sinyal Kecil Op Amp Dua Tingkat

Untuk menganalisis dari model sinyal kecil seperti pada gambar 2-3, maka digunakan persamaan nodal seperti pada gambar 2-4.



Gambar 2-4. Rangkaian Nodal Op Amp

Berdasarkan gambar 2-4, maka :

$$g_{mI} = g_{m1} = g_{m2}, R_I = r_{ds2} // r_{ds4}, C_I = C_1 \text{ dan}$$

$$g_{mII} = g_{m6}, R_{II} = r_{ds6} // r_{ds7}, C_{II} = C_2 = C_L$$

dengan persamaan nodal, maka :

$$-g_{mI}V_{in} = [G_I + s(C_I + C_C)]V_2 - [sC_C]V_{out} \text{ dan}$$

$$0 = [g_{mII} - sC_C]V_2 + [G_{II} + sC_{II} + sC_C]V_{out}$$

Dengan metode Cramer, maka akan didapatkan :

$$p_1 = \frac{-1}{R_I(C_I + C_{II}) + R_{II}(C_{II} + C_C) + g_{mII}(R_I R_{II} C_C)} \quad \dots(8)$$

$$\approx \frac{-1}{g_{mII} R_I R_{II} C_C}$$

$$p_2 = \frac{-[R_I(C_I + C_{II}) + R_{II}(C_{II} + C_C) + g_{mII} R_I R_{II} C_C]}{R_I R_{II} (C_I C_{II} + C_C C_I + C_C C_{II})} \quad \dots(9)$$

$$\approx \frac{-g_{mII} C_C}{C_I C_{II} + C_C C_I + C_C C_{II}} \approx \frac{-g_{mII}}{C_{II}} \text{ dimana } C_{II} > C_C > C_I$$

III. Metode Penelitian

Tahapan yang dilakukan dalam desain dan simulasi operasional amplifier unbuffered adalah sebagai berikut :

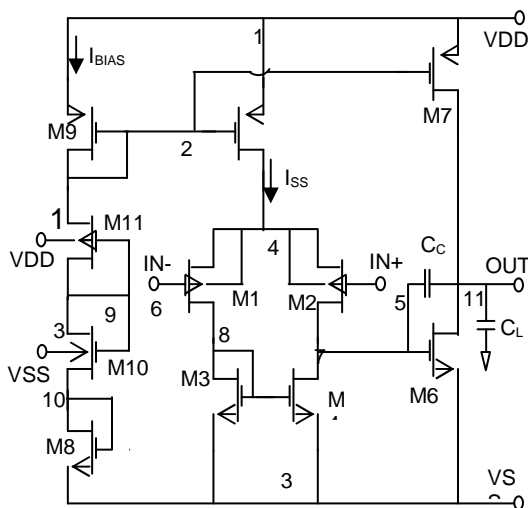
3.1. Desain Plan

Pada tahap desain plan akan ditentukan spesifikasi dari operasional amplifier dengan perhitungan parameter-parameter yang diperlukan dengan menggunakan persamaan yang telah ditentukan. Adapun spesifikasi dari desain plan seperti pada tabel 3-1 [1].

Tabel 3-1. Tabel Desain Plan

Spesifikasi	Desain Plan
VDD	2,5 V
VSS	-2,5 V
C_L	10 pF
PM	> 60
Penguatan (AOL)	70 dB
L	5 μ m

Sedangkan gambar rancangan rangkaian dari operasional amplifier unbuffered seperti gambar 3-1 di bawah ini.



Gambar 3-1. Rangkaian Op Amp Unbuffered.

3.2. Verifikasi dengan SPICE

Setelah diketahui desain plan dan perhitungan parameter-parameter, maka langkah selanjutnya adalah Verifikasi dengan SPICE. Contoh netlist dari program spice seperti terlihat pada gambar di bawah ini [1][2].

```

*SUMBER TEGANGAN
VDD 1 0 DC 2.5V
VSS 3 0 DC -2.5V
VIN+ 5 0 DC 0 AC 1
VIN- 6 0 DC 0 AC -1
*LOAD CAPASITOR
CL 11 0 10P
*FREKUENSI KOMPENSASI
CC 11 7 3P
*NODE RANGKAIAN
-----
*MODEL TRANSISTOR
-----
*SMALL SIGNAL
.OP
.TF V(11) VIN+
.AC DEC 1 1 100MEG
.PROBE
.END

```

Gambar 3-2. Netlis dari SPICE

Beberapa uji yang dilakukan pada tahapan verifikasi dengan SPICE adalah :

- Uji Gain
- Uji Phase Margin/AC Analisis
- Uji CMRR
- SWING OUTPUT/DC Analisis
- Uji Slew Rate/Transien Analisis

3.3. Layout dan Simulasi Post Layout

Tahapan selanjutnya adalah melakukan layout operasional amplifier sesuai dengan spesifikasi yang telah ditentukan, layout dilakukan dengan menggunakan ORBIT CN20 dengan teknologi 2 μ . Setelah proses layout selesai, maka langkah selanjutnya adalah Ekstrak hasil layout dengan menggunakan Ledit dan hasil dari ekstrak tersebut disimulasikan dengan menggunakan SPICE. Simulasi post layout dengan menggunakan SPICE akan diuji seperti pada proses verifikasi dengan SPICE [1][2].

IV. Hasil dan Analisis

Setelah dilakukan beberapa tahapan untuk desai dan simulasi operasional amplifier, maka didapatkan hasil sebagai berikut :

4.1. Perhitungan Parameter Desain

Untuk perhitungan parameter desain didapatkan hasil seperti pada tabel 4-1.

Tabel 4-1. Hasil Perhitungan Parameter Desain

Parameter	Perhitungan
C_L	10 pF
C_C	3 pF
SR	2,5 V/ μ s
PD	0,6 mW
PM	> 60
UGB	2,3 MHz
Penguatan (AOL)	73,29 dB
[W/L]1,2	75/5
[W/L]3,4	10/10
[W/L]5	30/5
[W/L]6	85/5
[W/L]7	420/5
[W/L]8	25/5

[W/L]9	15/5
[W/L]10	10/10
[W/L]11	10/10

Dari hasil perhitungan parameter desain memperlihatkan bahwa parameter-parameter tersebut sudah memenuhi spesifikasi yang dibutuhkan. Hasil perhitungan parameter desain masih terdapat beberapa nilai tidak sesuai dengan desain plan yang sudah ditentukan, tetapi masih dalam batas toleransi yang telah ditentukan. Toleransi untuk AOL yang diijinkan adalah $\pm \frac{1}{2}$ AOL desain plan (35 db).

4.2. Verifikasi dengan SPICE

Tahapan selanjutnya adalah verifikasi dengan SPICE, parameter-parameter hasil perhitungan tersebut disimulasikan dengan menggunakan SPICE, adapun hasil yang didapatkan seperti pada tabel 4-2.

Tabel 4-2. Hasil Verifikasi SPICE

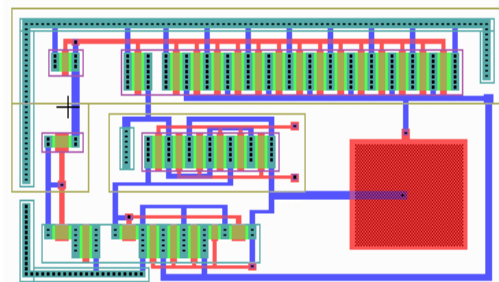
Parameter	Verifikasi SPICE
VDD	2,5 V
VSS	-2,5 V
C_L	10 pF
C_C	3 pF
SR	2,53 V/ μ s
PD	0,75 mW
PM	62,73°
UGB	1,95 MHz
Penguatan (AOL)	73,65 dB
CMR	-0,1 V/+0,6V
SWING OUTPUT	+ 2,49 V/-2,40 V
Vout/Vin+	2,408E+03
Input Resistance	1,000E+20 Ω
Output Resistance	1,107E+5 Ω

Hasil verifikasi dengan menggunakan SPICE memberikan hasil yang berbeda dengan perhitungan parameter dan desain plan, hal ini diakibatkan pengaruh dari hambatan dan kapasitansi parasitik yang dihasilkan oleh transistor (M1...M11). Hambatan dan kapasitansi parasitik akan sangat mempengaruhi semua parameter yang diperlukan untuk desain operasional amplifier, tetapi dengan menggunakan

verifikasi SPICE dapat diketahui beberapa parameter lain yang tidak dapat dihitung pada tahap sebelumnya, seperti Resistansi Input, Resistansi Output dan Vout/Vin. Hal ini akan sangat membantu sekali untuk tahapan selanjutnya.

4.3. Layout dan Simulasi Post Layout

Pada tahap ini dilakukan layout dengan menggunakan ORBIT CN20 dengan teknologi 2 μ , maka hasil layout dari operasional amplifier dapat dilihat pada gambar di bawah ini :

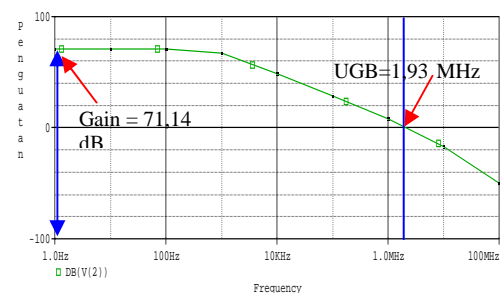


Gambar 4-1. Hasil Layout ORBIT CN20

Hasil ekstrak dari layout kemudian disimulasikan dengan menggunakan SPICE, adapun hasil simulasi post layout dengan menggunakan SPICE adalah sebagai berikut :

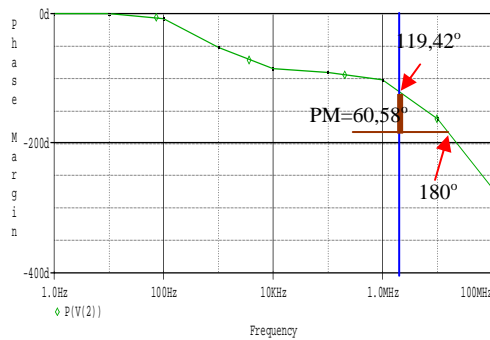
➤ Uji Gain

Dengan melakukan uji gain dengan simulasi SPICE didapatkan gain sebesar 71,14 dB



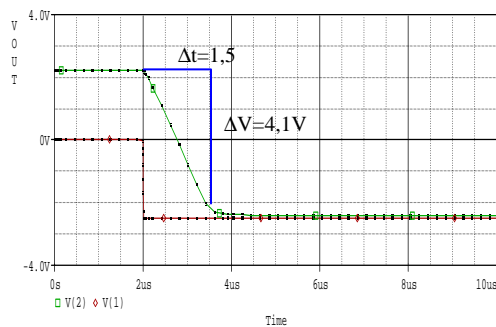
➤ Phase Margin (PM)

Dengan melakukan uji Phase Margin (PM) dengan simulasi SPICE didapatkan Phase Margin sebesar $180^\circ - 199,42^\circ = 60,58^\circ$.



➤ Slew Rate (SR)

Dengan melakukan uji Slew Rate (SR) dengan simulasi SPICE didapatkan Slew Rate sebesar 2,73 V/ μ s.

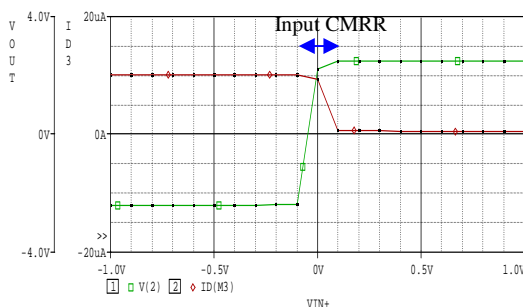


Slew Rate (SR) dihitung dari kemiringan garis yang merupakan gradien garis :

$$SR = \frac{\Delta Y}{\Delta X} = \frac{4,1V}{1,5\mu s} = 2,73 \frac{V}{\mu s}$$

➤ Swing Output / V(11)

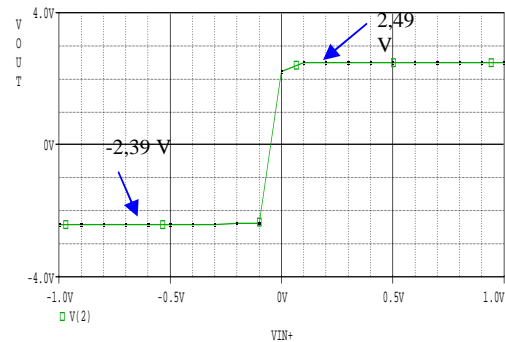
Dengan melakukan simulasi SPICE didapatkan V Output max = 2,49 V dan V Output Min = -2,39 V atau rata-rata Voutput = \pm 2,40 Volt.



➤ Input CMRR

Input CMRR terdiri dari dua bagian yaitu Positive CMR = 0,1 V dan

Negative CMR = -0,1 V yang merupakan input positif dan negatif.



Dari hasil pengujian sebelum layout dan post layout didapatkan hasil yang agak berbeda, hal ini dipengaruhi oleh beberapa faktor yaitu resistansi dan kapasitansi parasitik. Akan tetapi pengaruh tersebut tidak dapat dihilangkan, untuk dapat mengurangi pengaruh tersebut dalam proses desain plan harus lebih teliti dan akurat. Kestabilan dari sistem akan sangat terpengaruh oleh Phase Margin. Pada desain plan syarat dari Phase Margin adalah $> 60^\circ$, sedangkan pada pengujian dengan SPICE sebelum dan sesudah layout adalah $62,73^\circ$ dan $60,58^\circ$. Berdasarkan hasil tersebut maka syarat dari kestabilan sistem sudah terpenuhi [1].

V. Kesimpulan

Hasil desain dan pengujian dengan menggunakan ORBIT CN20 dan SPICE maka didapatkan hasil sebagai berikut :

- Simulasi dengan SPICE sebelum layout :
Penguatan (AOL) = 73,65 dB dan Phase Margin (PM) = $62,73^\circ$
- Pengujian Post Layout dengan SPICE :
Penguatan (AOL) = 71,14 dB dan Phase Margin (PM) = $60,58^\circ$

Dari hasil tersebut terjadi perbedaan sebelum layout dan sesudah layout, hal ini disebabkan pengaruh resistansi dan kapasitansi parasitik.

Daftar Pustaka

- [1]. Allen, P.E., D.R. Holberg, 1987, *CMOS Analog Circuit Design*, Rinehart and Winston, New York.
- [2]. Baker, R.J., Harry, W.L., and Boyce, D.E., 1998, *CMOS, Circuit Design, Layout, And Simulation*, IEEE Press, New York.
- [3]. Muller, R.S. and Kamins, T.I., 1986, *Device Electronics For Integrated Circuits*, John Wiley and Soons, New York.
- [4]. Simth, R.J. and Dorf, R.C., 1990, *Circuits, Devices, and Systems*, John Wiley and Soons, New York.
- [5]. Trapp, G.D., Blanchard, R.A, Lopp, L.J., and Kamins, T.I., 1982, *Semiconductor Technology Handbook*, Tecnology Associates, Palo Alto.